

日本国特許庁  
JAPAN PATENT OFFICE

60188-617  
Shimada et al.  
June 24, 2003  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2002年 6月27日

出願番号  
Application Number:

特願2002-187222

[ST.10/C]:

[JP2002-187222]

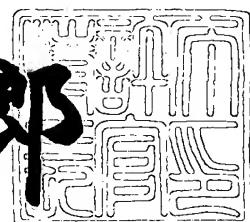
出願人  
Applicant(s):

松下電器産業株式会社

2003年 4月18日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028257

【書類名】 特許願

【整理番号】 2925040047

【提出日】 平成14年 6月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10  
G11C 11/22

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 嶋田 恭博

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 加藤 剛久

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 田中 圭介

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 上田 大助

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 記憶装置

【特許請求の範囲】

【請求項1】 基板上に形成した第1の電極と、前記第1の電極の上に形成した第1の強誘電体と、前記強誘電体の上に形成した第2の電極とから形成した強誘電体キャパシタと、前記強誘電体キャパシタを含むメモリセルが構成された記憶装置であって、前記第1の強誘電体は、前記第1の電極の上に選択的に成長し形成される記憶装置。

【請求項2】 第1の電極の上に選択的に成長し形成される第1の強誘電体は、単結晶であるかあるいは單一分域のみからなる請求項1に記載の記憶装置。

【請求項3】 第1の電極の上に選択的に成長し形成される第1の強誘電体の成長過程が、第1の電極との物理的または化学的相互作用によって自己組織化する過程を含む請求項1に記載の記憶装置。

【請求項4】 第1の電極の上に選択的に成長し形成される第1の強誘電体の成長過程が、気相または液相でなされる請求項3に記載の記憶装置。

【請求項5】 強誘電体キャパシタに選択スイッチが接続され、メモリセルを構成した請求項1に記載の記憶装置。

【請求項6】 強誘電体キャパシタに接続した選択スイッチが基板上または基板と第1の電極との間に形成された請求項5に記載の記憶装置。

【請求項7】 選択スイッチはトランジスタまたは双方向ダイオードである請求項5に記載の記憶装置。

【請求項8】 基板の上の第1の絶縁層の上に形成した第1の電極と、前記第1の電極の上に形成した第1の強誘電体と、前記第1の強誘電体の上に形成した第2の電極とから形成した強誘電体キャパシタを複数個配置して構成した第1の強誘電体キャパシタアレイ層と、nを整数（ $n \geq 2$ ）として、前記第1の強誘電体キャパシタアレイ層の上に形成した第nの絶縁層の上に形成した第（ $2n - 1$ ）の電極と、前記第（ $2n - 1$ ）の電極の上に形成した第nの強誘電体と、前記第nの強誘電体の上に形成した第2nの電極とから形成した強誘電体キャパシタを複数個配置して構成した第nの強誘電体キャパシタアレイ層を形成することに

より、前記半導体基板上に第1の強誘電体キャパシタアレイ層から第nの強誘電体キャパシタアレイ層までを積層してなり、前記第nの強誘電体は、前記第(2n-1)の電極の上に選択的に成長し形成される記憶装置。

【請求項9】 第(2n-1)の電極の上に選択的に成長し形成される第nの強誘電体は、単結晶であるかあるいは單一分域のみからなる請求項8に記載の記憶装置。

【請求項10】 第(2n-1)の電極の上に選択的に成長し形成される第nの強誘電体の成長過程が、第(2n-1)の電極との物理的または化学的相互作用によって自己組織化する過程を含む請求項8に記載の記憶装置。

【請求項11】 第(2n-1)の電極の上に選択的に成長し形成される第1の強誘電体の成長過程が、気相または液相でなされる請求項8に記載の記憶装置。

【請求項12】 強誘電体キャパシタに選択スイッチが接続され、メモリセルを構成した請求項8に記載の記憶装置。

【請求項13】 第nの強誘電体キャパシタアレイ層の強誘電体キャパシタに接続する選択スイッチが、基板上または基板と第(2n-1)の電極との間に形成された請求項12に記載の記憶装置。

【請求項14】 選択スイッチはトランジスタまたは双方向ダイオードである請求項12に記載の記憶装置。

【請求項15】 第nの強誘電体キャパシタアレイ層の強誘電体キャパシタに接続した選択スイッチが、前記第nの強誘電体キャパシタアレイ層内に形成された請求項12に記載の記憶装置。

【請求項16】 第nの強誘電体キャパシタアレイ層内に形成された選択スイッチは薄膜トランジスタまたは双方向ダイオードである請求項12に記載の記憶装置。

【請求項17】 第nの強誘電体キャパシタアレイ層に配置された強誘電体キャパシタまたは強誘電体キャパシタと選択スイッチとからなる複数のメモリセルを互いに電気的に接続する手段を、前記第nの強誘電体キャパシタアレイ層と前記第(n-1)の強誘電体キャパシタアレイ層との間または、前記第nの強誘電

体キャパシタアレイ層の上に設けてなる請求項12に記載の記憶装置。

【請求項18】 前記第nの強誘電体キャパシタアレイ層に配置された複数のメモリセルと第(n-1)の強誘電体キャパシタアレイ層に配置された複数メモリセルとを互いに電気的に接続する手段を、前記第nの強誘電体キャパシタアレイ層と前記第(n-1)の強誘電体キャパシタアレイ層との間に設けてなる請求項12に記載の記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、強誘電体を任意の電極上に自己整合的に選択成長させて形成した強誘電体キャパシタをメモリセルの一部に用いてデータを記憶する記憶装置に関するものである。

##### 【0002】

#### 【従来の技術】

強誘電体キャパシタとトランジスタとによってメモリセルを構成する従来の記憶装置は、たとえば図5に示すような構成からなる。ここで、強誘電体キャパシタ10の第1の電極1はトランジスタ7のソース4に接続され、第2の電極2はセルプレート線9に接続されている。トランジスタ7のドレイン5はピット線8に、ゲート6はワード線11にそれぞれ接続されている。

##### 【0003】

たとえば、メモリセルのデバイス構造として、図6に示すスタック構造をとることができる。この構造において、強誘電体キャパシタ10の第1の電極1は、第1のコンタクトプラグ12を介してトランジスタ7のソース4に接続され、第2の電極2はセルプレート線9に接続されている。トランジスタ7のドレイン5は第2のコンタクトプラグ13を介してピット線8に、ゲート6はワード線11(図示せず)にそれぞれ接続されている。

##### 【0004】

このような構造のメモリセルにおいて、強誘電体キャパシタ10を形成するには、たとえば図7に示すように、シリコン基板20上に第1の絶縁層21を形成

した支持基板の上に、第1の電極1と、第1の強誘電体3と、第2の電極2を積層したのち、図7(a)に示すように最上層に所望の形状に形成したフォトレジストマスク24をエッチマスクとして、プラズマエッティング法などで図7(b)のキャパシタ形状を得る。

#### 【0005】

しかし、プラズマエッティングにおいては反応性ラジカルなど活性種を多量に含むので、これによる第1の強誘電体の切断面は内部まで損傷し、もはや強誘電体たりえない損傷領域30が、強誘電体キャパシタ10の周辺部に形成される(図7(c))。

#### 【0006】

##### 【発明が解決しようとする課題】

上述の損傷領域30は、強誘電体キャパシタ10の実効面積を減少させる。すなわち、損傷領域30は、強誘電体キャパシタ10の側壁から内部へ数十ナノメートルから数百ナノメートルにまでおよび、強誘電体キャパシタの面積が $1 \mu\text{m}^2$ を下回ると、強誘電体キャパシタ10の実効面積の減少は無視できなくなる。

#### 【0007】

このような損傷領域30を低減するために、強誘電体キャパシタ10の形成後には、回復アニールが施されるが、損傷領域30を完全に消失させる効果はない。

#### 【0008】

また、この回復アニールは、強誘電体の結晶化温度とほぼ同等であるため、強誘電体キャパシタを多層に積層した場合は、各層毎に回復アニールが必要となり、各層間の配線の熱劣化などを招くので、強誘電体キャパシタを多層に積層した3次元キャパシタアレイの実現が困難であった。

#### 【0009】

また、従来の技術においては、図7(a)のように単層の第1の電極1の上全面に、スパッタ法やゾルゲル法によって第1の強誘電体3を形成していたので、多結晶化が必定であり、結晶方位の等方化に起因する分極の発現方向の平準化が生じ、分極偏位が最大化する方位へ強誘電体の結晶方位を制御することが困難

であった。

#### 【0010】

##### 【課題を解決するための手段】

上記課題を解決するために、請求項1に記載の発明は、基板上に形成した第1の電極と、前記第1の電極の上に形成した第1の強誘電体と、前記強誘電体の上に形成した第2の電極とから形成した強誘電体キャパシタと、前記強誘電体キャパシタを含むメモリセルが構成された記憶装置であって、前記第1の強誘電体は、前記第1の電極の上に選択的に成長し形成される記憶装置であって、任意の形状の電極上に選択的に強誘電体を形成できるので、強誘電体に損傷領域のない微細な強誘電体キャパシタを提供する作用を有する。

#### 【0011】

請求項2に記載の発明は、第1の電極の上に選択的に成長し形成される第1の強誘電体は、単結晶であるかあるいは單一分域のみからなる請求項1に記載の記憶装置であって、多結晶化による結晶方位の等方化に起因する分極の発現方向の平準化が生じず、分極偏位が最大化する方位へ強誘電体の結晶方位を制御することを可能とする作用を有する。

#### 【0012】

請求項3に記載の発明は、第1の電極の上に選択的に成長し形成される第1の強誘電体の成長過程が、第1の電極との物理的または化学的相互作用によって自己組織化する過程を含む請求項1に記載の記憶装置であって、任意の形状の電極上に自己整合的に強誘電体を形成する作用を有する。

#### 【0013】

請求項4に記載の発明は、第1の電極の上に選択的に成長し形成される第1の強誘電体の成長過程が、気相または液相でなされる請求項3に記載の記憶装置であって、液体原料中または気体原料雰囲気中で、任意の形状の電極上に自己整合的に強誘電体を形成する作用を有する。

#### 【0014】

請求項5に記載の発明は、強誘電体キャパシタに選択スイッチが接続され、メモリセルを構成した請求項1に記載の記憶装置であって、複数のメモリセルをア

レイ状に配置したとき、任意のメモリセルの選択を容易にする作用を有する。

請求項6に記載の発明は、強誘電体キャパシタに接続した選択スイッチが基板上または基板と第1の電極との間に形成された請求項5に記載の記憶装置であって、メモリセルの配置密度を向上する作用を有する。

#### 【0015】

請求項7に記載の発明は、選択スイッチはトランジスタまたは双方向ダイオードである請求項5に記載の記憶装置であって、選択スイッチがトランジスタの場合はメモリセルのアレイをアクティブマトリクスで、選択スイッチが双方向ダイオードの場合はメモリセルのアレイを単純マトリクスでの構成を可能とする作用を有する。

#### 【0016】

請求項8に記載の発明は、基板の上の第1の絶縁層の上に形成した第1の電極と、前記第1の電極の上に形成した第1の強誘電体と、前記第1の強誘電体の上に形成した第2の電極とから形成した強誘電体キャパシタを複数個配置して構成した第1の強誘電体キャパシタアレイ層と、 $n$ を整数 ( $n \geq 2$ ) として、前記第1の強誘電体キャパシタアレイ層の上に形成した第 $n$ の絶縁層の上に形成した第 $(2n - 1)$ の電極と、前記第 $(2n - 1)$ の電極の上に形成した第 $n$ の強誘電体と、前記第 $n$ の強誘電体の上に形成した第 $2n$ の電極とから形成した強誘電体キャパシタを複数個配置して構成した第 $n$ の強誘電体キャパシタアレイ層を形成することにより、前記半導体基板上に第1の強誘電体キャパシタアレイ層から第 $n$ の強誘電体キャパシタアレイ層までを積層してなり、前記第 $n$ の強誘電体は、前記第 $(2n - 1)$ の電極の上に選択的に成長し形成される記憶装置であって、メモリセルアレイを3次元的に配置し、メモリセルの配置密度を向上する作用を有する。

#### 【0017】

請求項9に記載の発明は、第 $(2n - 1)$ の電極の上に選択的に成長し形成される第 $n$ の強誘電体は、単結晶であるかあるいは單一分域のみからなる請求項8に記載の記憶装置であって、多結晶化による結晶方位の等方化に起因する分極の発現方向の平準化が生じず、分極偏位が最大化する方位へ強誘電体の結晶方位を

制御することを可能とする作用を有する。

## 【0018】

請求項10に記載の発明は、第(2n-1)の電極の上に選択的に成長し形成される第nの強誘電体の成長過程が、第(2n-1)の電極との物理的または化学的相互作用によって自己組織化する過程を含む請求項8に記載の記憶装置であって、任意の形状の電極上に自己整合的に強誘電体を形成する作用を有する。

## 【0019】

請求項11に記載の発明は、第(2n-1)の電極の上に選択的に成長し形成される第1の強誘電体の成長過程が、気相または液相でなされる請求項8に記載の記憶装置であって、液体原料中または気体原料雰囲気中で、任意の形状の電極上に自己整合的に強誘電体を形成する作用を有する。

## 【0020】

請求項12に記載の発明は、強誘電体キャパシタに選択スイッチが接続され、メモリセルを構成した請求項8に記載の記憶装置であって、複数のメモリセルをアレイ状に配置したとき、任意のメモリセルの選択を容易にする作用を有する。

## 【0021】

請求項13に記載の発明は、第nの強誘電体キャパシタアレイ層の強誘電体キャパシタに接続する選択スイッチが、基板上または基板と第(2n-1)の電極との間に形成された請求項12に記載の記憶装置であって、メモリセルの配置密度を向上する作用を有する。

## 【0022】

請求項14に記載の発明は、選択スイッチはトランジスタまたは双方向ダイオードである請求項12に記載の記憶装置であって、選択スイッチがトランジスタの場合はメモリセルのアレイをアクティブマトリクスで、選択スイッチが双方向ダイオードの場合はメモリセルのアレイを単純マトリクスでの構成を可能とする作用を有する。

## 【0023】

請求項15に記載の発明は、第nの強誘電体キャパシタアレイ層の強誘電体キャパシタに接続した選択スイッチが、前記第nの強誘電体キャパシタアレイ層内

に形成された請求項12に記載の記憶装置であって、各メモリセルの強誘電体キャパシタと選択スイッチとの配線距離を短縮できるという作用を有する。

## 【0024】

請求項16に記載の発明は、第nの強誘電体キャパシタアレイ層内に形成された選択スイッチは薄膜トランジスタまたは双方向ダイオードである請求項12に記載の記憶装置であって、前記選択スイッチを3次元的に配置する作用を有する。

## 【0025】

請求項17に記載の発明は、第nの強誘電体キャパシタアレイ層に配置された強誘電体キャパシタまたは強誘電体キャパシタと選択スイッチとからなる複数のメモリセルを互いに電気的に接続する手段を、前記第nの強誘電体キャパシタアレイ層と前記第(n-1)の強誘電体キャパシタアレイ層との間または、前記第nの強誘電体キャパシタアレイ層の上に設けてなる請求項12に記載の記憶装置であって、3次元的に配置したメモリセルアレイの配置密度を向上する作用を有する。

## 【0026】

請求項18に記載の発明は、前記第nの強誘電体キャパシタアレイ層に配置された複数のメモリセルと第(n-1)の強誘電体キャパシタアレイ層に配置された複数メモリセルとを互いに電気的に接続する手段を、前記第nの強誘電体キャパシタアレイ層と前記第(n-1)の強誘電体キャパシタアレイ層との間に設けてなる請求項12に記載の記憶装置であって、3次元的に配置したメモリセルアレイの配置密度を向上する作用を有する。

## 【0027】

## 【発明の実施の形態】

以下、本発明の実施の形態について説明する。

## 【0028】

## (実施の形態1)

図1に本発明の一実施の形態として、シリコン基板20の上に複数の強誘電体キャパシタ10をアレイ上に配列した記憶装置の一断面図を示す。

## 【0029】

図1において、強誘電体キャパシタ10はセルプレート線9と一体化した第2の電極2と、これに対向する第1の電極1との間に自己整合的に形成された第1の強誘電体3とからなり、この強誘電体キャパシタ10の第1の電極1は、第1のコンタクトプラグ12を介して、シリコン基板20に形成された選択スイッチであるトランジスタ7のソース4に接続され、トランジスタ7のドレイン5は、第2のコンタクトプラグ13を介してビット線8に接続されメモリセルを構成し、このメモリセルを複数個配列することにより、メモリセルアレイを構成している。

## 【0030】

本実施の形態では、上述の第1の強誘電体3を第1の電極1の上に形成するにあたって、第1の強誘電体3を単結晶として第1の電極1の上に選択的に成長させる。選択成長の方法の一つとして、原料ガス50のイオンクラスター化がある。たとえば、図2(a)に示すように、第1の電極1を第1の絶縁層21の上に形成する。このとき、第1の電極は第1のプラグ12(図示せず)によって、シリコン基板20に電気的に接続されているものとする。このシリコン基板20は電気的に接地されて、原料ガス50を含む反応槽内の加熱装置(図示せず)上に置かれる。この原料ガス50は、たとえば、有機金属化学気相堆積に用いる原料ガスで、有機金属分子にガス化された原料ガス50が反応槽に供給される。ここで、原料ガス50を反応槽に供給する前工程で、コロナ放電路(図示せず)などのイオン化装置を通過させると、原料ガス50は電離して正に帯電したイオンクラスターとなる。

## 【0031】

このようにイオンクラスター化した原料ガス50はエネルギー的に不安定であるため、電子を受け取って安定化する傾向にある。したがって、イオンクラスター化した原料ガス50は、接地したシリコン基板20と電気的に接続された第1の電極1から電子を受け取って安定化し、熱分解して第1の電極1の上に選択的に第1の強誘電体3が成長を開始する。図2(a)は、イオンクラスター化した原料ガス50が、第1の電極1の上で熱分解し、選択的に第1の強誘電体3が成

長を始めた様子を示している。イオンクラスター化した原料ガス50は、接地したシリコン基板20と電気的に接続された第1の電極1から電子を受け取って安定化し、熱分解して第1の電極1の上に選択的に第1の強誘電体3が成長を開始する。図2(a)は、イオンクラスター化した原料ガス50の、第1の電極1の上への凝集過程は、自己組織化、すなわち同種の分子またはクラスター間の化学的親和力によって自己整合的に凝集する場合を含む。

#### 【0032】

このとき、第1の電極1の表面方向の結晶格子定数を第1の強誘電体3の結晶格子定数とほぼ同等になるように選んでおけば、第1の電極1上で第1の強誘電体3はエピタキシャルに単結晶成長することになる。なお、第1の絶縁層21の上で第1の電極1を除く部分には、イオンクラスター化した原料ガス50は凝集しないので、イオンクラスター化した原料ガス50は、第1の電極1を除く部分では熱分解しない。したがって、図2(b)に示すように、第1の電極1上でのみ第1の強誘電体3が単結晶成長することになる。

#### 【0033】

第1の強誘電体3は大きな分極を発現する結晶方位を、第1の電極1の表面に垂直方向に揃えて単結晶成長させることが望ましい。

#### 【0034】

こののち、第1aの絶縁層31を第1の強誘電体3を覆うように形成し、そののち第1の強誘電体3の一表面が露出するまで第1aの絶縁層31表面を化学機械研磨する。その後、第2の電極2を積層したのち、第2の電極2をセルプレート線9の形状に加工する。さらに、第2の電極2を覆うように第1bの絶縁層41を形成して、記憶装置となる。

#### 【0035】

このようにして得た強誘電体キャパシタ10の第1の強誘電体3は単結晶であり、かつその結晶方位が大きな分極を発現する方向に電界が印加されることになるので、図3に示すようにその分極履歴特性(81)は、従来の多結晶からなる強誘電体キャパシタのそれ(80)に比べて著しく応答のよいものとなり、また、強誘電体キャパシタ10の第1の強誘電体3は、第1の強誘電体3の上に選択

的に形成されるので、損傷領域30が少なく、大きな分極が発現可能である。これらにより、メモリセルにおけるデータの書き込み特性および読み出し特性が著しく改善される。

## 【0036】

## (実施の形態2)

図4は、メモリセルアレイを3次元的に配置し、メモリセルの配置密度を向上させた記憶装置の一断面図である。図4において、周辺回路部70が作りこまれたシリコン基板20の上に第1の絶縁層21の上にセルプレート線9を形成し、その上に半導体薄膜14と第1の電極1とを積層したのち、半導体薄膜14と第1の電極1とを所望の形状に加工して、金属-半導体-金属積層型双方向ショットキーバリアダイオードを形成する。

## 【0037】

つづいて、実施の形態1に述べた手法により、第1の電極1上でのみ第1の強誘電体3を単結晶成長させる。こののち、第1aの絶縁層31を第1の強誘電体3を覆うように形成し、その後第1の強誘電体3の一表面が露出するまで第1aの絶縁層31表面を化学機械研磨する。その後、第2の電極2を積層したのち、第2の電極2をセルプレート線9の形状に加工する。さらに、第2の電極2を覆うように第2の絶縁層22を形成して、第1の強誘電体キャパシタアレイ層71を形成する。

## 【0038】

さらに、第2の絶縁層22を平坦に研磨したのち、第2の絶縁層22の上にセルプレート線9を形成し、その上に半導体薄膜14と第3の電極101とを積層したのち、半導体薄膜14と第3の電極101とを所望の形状に加工して、金属-半導体-金属積層型双方向ショットキーバリアダイオードを形成する。

## 【0039】

つづいて、実施の形態1に述べた手法により、第3の電極101上でのみ第2の強誘電体103を単結晶成長させる。こののち、第2aの絶縁層32を第2の強誘電体103を覆うように形成し、その後第2の強誘電体103の一表面が露出するまで第2aの絶縁層32表面を化学機械研磨する。その後、第4の電

極102を積層したのち、第4の電極102をセルプレート線9の形状に加工する。さらに、第4の電極102を覆うように第3の絶縁層23を形成して、第2の強誘電体キャパシタアレイ層72を形成する。

#### 【0040】

以上の構成では、上述の双方向ショットキーバリアダイオードが各メモリセルの選択スイッチとして作用する。このとき、第1の強誘電体キャパシタアレイ層71に配置された強誘電体キャパシタ10からなるメモリセルと、第2の強誘電体キャパシタアレイ層72に配置された強誘電体キャパシタ10からなるメモリセルとを互いに電気的に接続する配線手段（図示せず）は、前記第1の強誘電体キャパシタアレイ層71と前記第2の強誘電体キャパシタアレイ層72との間に埋設させている。

#### 【0041】

以上の工程は順次繰り返すことができ、任意の層数の強誘電体キャパシタアレイ層を備えた記憶装置が実現でき、メモリセルアレイを3次元的に配置し、メモリセルの配置密度を向上する作用を有する。

#### 【0042】

##### 【発明の効果】

以上のように本発明の記憶装置は、基板上に形成した第1の電極と、前記第1の電極の上に形成した第1の強誘電体と、前記強誘電体の上に形成した第2の電極とから形成した強誘電体キャパシタと、前記強誘電体キャパシタを含むメモリセルが構成された記憶装置であって、前記第1の強誘電体は、前記第1の電極の上に選択的に成長し形成されるので、任意の形状の電極上に選択的に強誘電体を形成でき、強誘電体に損傷領域のない微細な強誘電体キャパシタを提供する。また、本発明の記憶装置における強誘電体は、多結晶化による結晶方位の等方化に起因する分極の発現方向の平準化が生じず、分極偏位が最大化する方位へ強誘電体の結晶方位を制御可能であり、メモリセルにおけるデータの書き込み特性および読み出し特性が著しく改善される。さらに、任意の層数の強誘電体キャパシタアレイ層を備えた記憶装置が実現でき、メモリセルアレイを3次元的に配置し、メモリセルの配置密度を向上できる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1における記憶装置の一断面図

【図2】

本発明の実施の形態1における強誘電体の選択成長過程を示す図

【図3】

本発明の実施の形態1における強誘電体キャパシタと従来の技術における強誘電体キャパシタの履歴特性を示す図

【図4】

本発明の実施の形態2における記憶装置の一断面図

【図5】

従来の技術における強誘電体メモリセルアレイの等価回路図

【図6】

従来の技術における記憶装置の一断面図

【図7】

従来の技術における記憶装置での、強誘電体キャパシタの形成工程を示す図

【符号の説明】

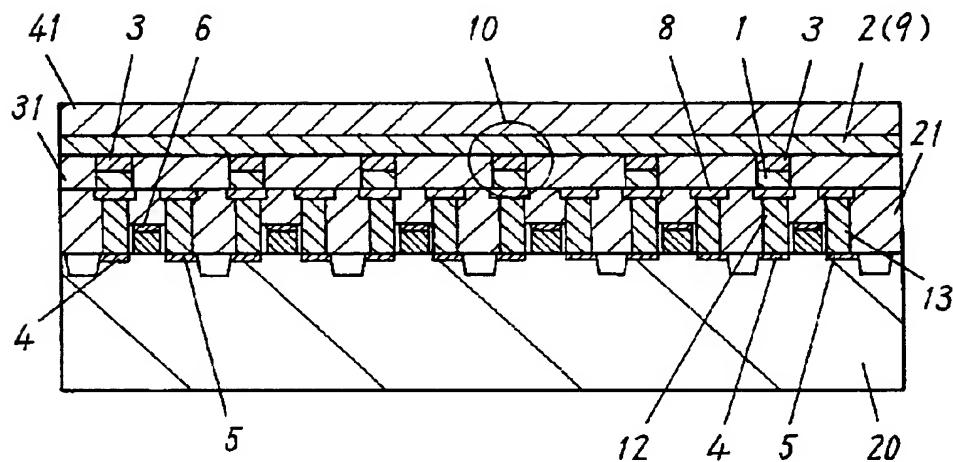
- 1 第1の電極
- 2 第2の電極
- 3 第1の強誘電体
- 4 ソース
- 5 ドレイン
- 6 ゲート
- 7 トランジスタ
- 8 ビット線
- 9 セルプレート線
- 10 強誘電体キャパシタ
- 11 ワード線
- 12 第1のコンタクトプラグ

- 1 3 第2のコンタクトプラグ
- 2 1 第1の絶縁層
- 2 2 第2の絶縁層
- 2 3 第3の絶縁層
- 2 4 フォトレジストマスク
- 3 0 損傷領域
- 3 1 第1aの絶縁層
- 3 2 第2aの絶縁層
- 4 1 第1bの絶縁層
- 5 0 原料ガス
- 7 0 周辺回路部
- 7 1 第1の強雨誘電体キャパシタレイ層
- 7 2 第2の強雨誘電体キャパシタレイ層
- 1 0 1 第3の電極
- 1 0 2 第4の電極
- 1 0 3 第2の強誘電体

【書類名】 図面

【図1】

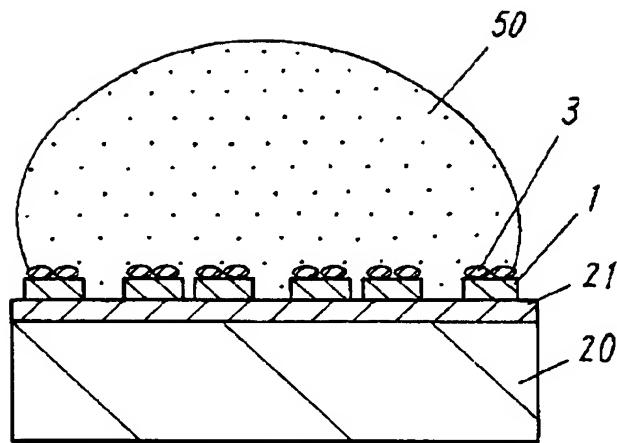
- 1 第1の電極
- 2 第2の電極
- 3 第1の強誘電体
- 10 強誘電体キャパシタ
- 20 シリコン基板
- 21 第1の絶縁層
- 31 第1aの絶縁層
- 41 第1bの絶縁層



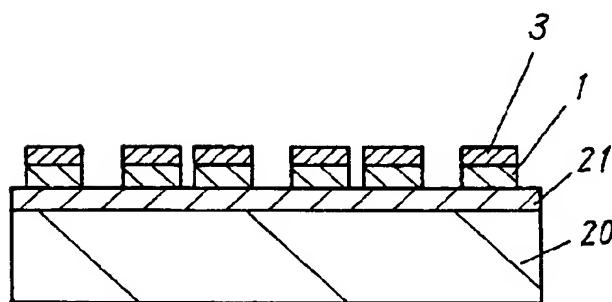
【図2】

1 第1の電極  
50 原料ガス

(a)

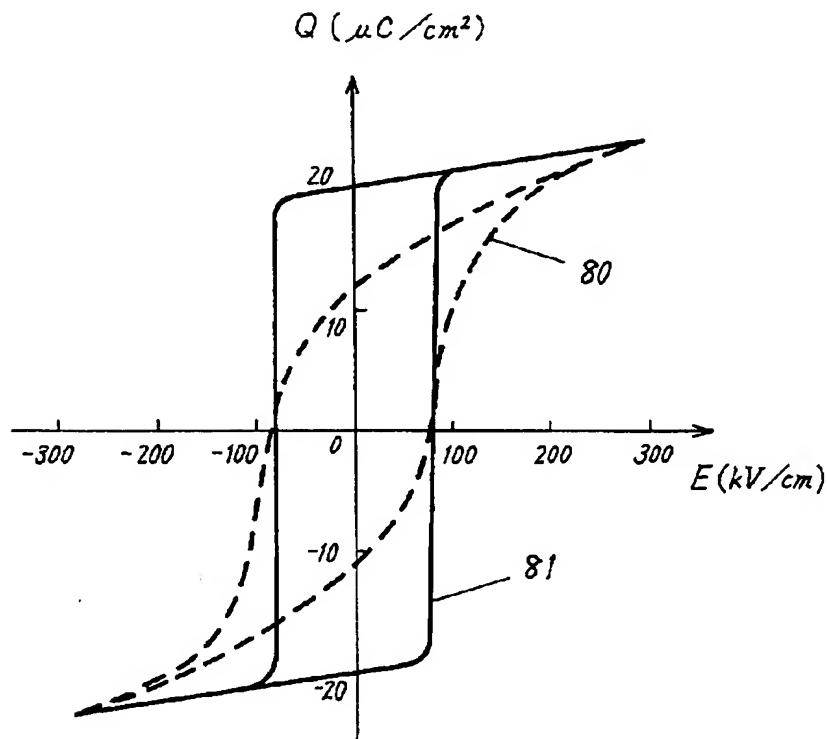


(b)



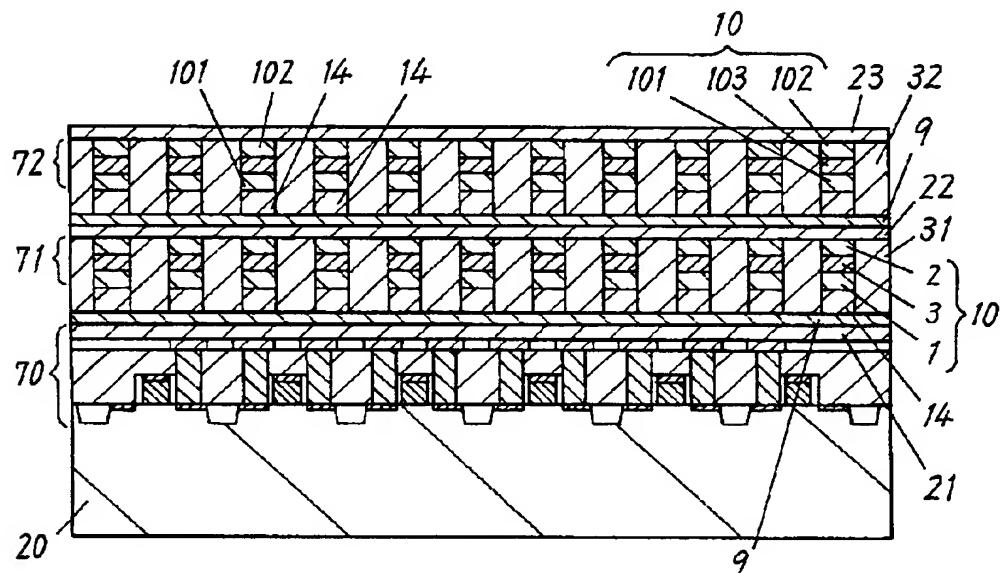
【図3】

80 多結晶からなる強誘電体キャパシタの履歴特性  
 81 単結晶からなる強誘電体キャパシタの履歴特性

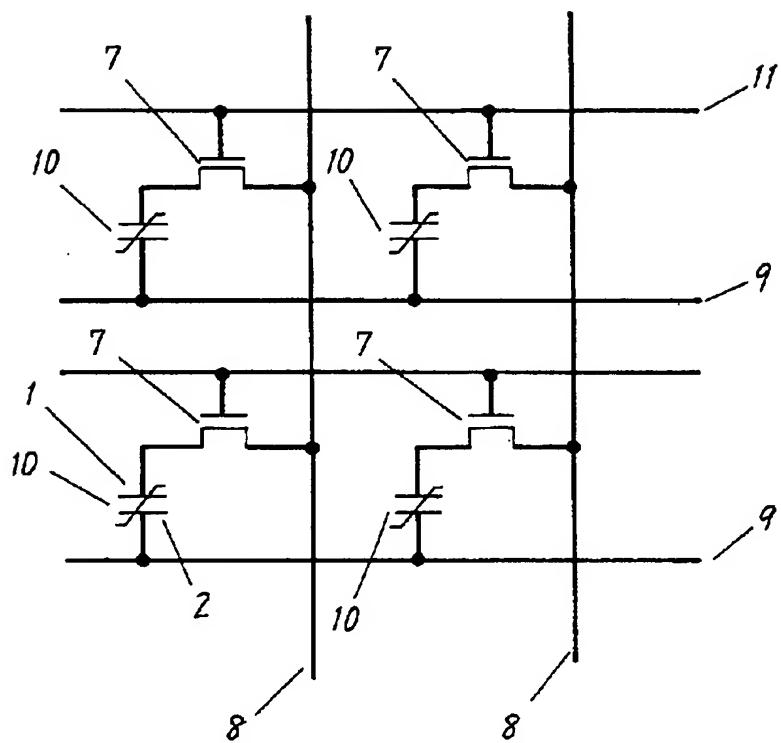


【図4】

- 14 半導体薄膜
- 21 第1の絶縁層
- 22 第2の絶縁層
- 23 第3の絶縁層
- 31 第1aの絶縁層
- 32 第2aの絶縁層
- 70 周辺回路部
- 71 第1の強誘電体キャパシタレイ層
- 72 第2の強誘電体キャパシタレイ層
- 101 第3の電極
- 102 第4の電極
- 103 第2の強誘電体

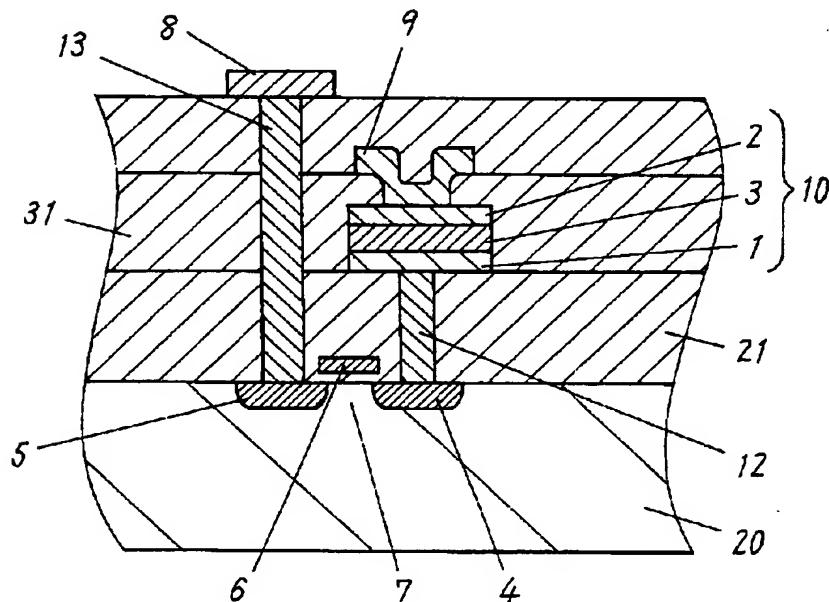


【図5】



【図6】

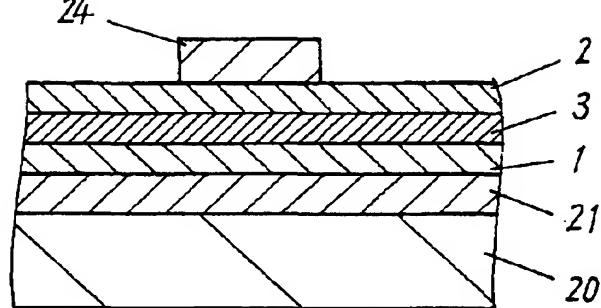
1 第1の電極	9 プレート線
2 第2の電極	10 強誘電体キャバシタ
3 第1の強誘電体	12 第1のコンタクトプラグ
4 ソース	13 第2のコンタクトプラグ
5 ドレイン	20 シリコン基板
6 ゲート	21 第1の絶縁層
7 パソコン	31 第1aの絶縁層
8 ビット線	



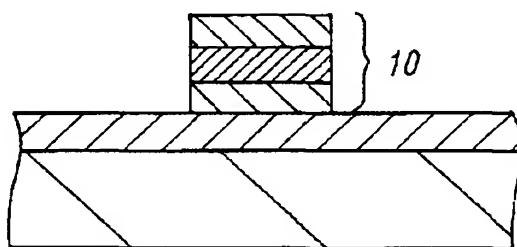
【図7】

24 フォトレジストマスク  
30 損傷領域

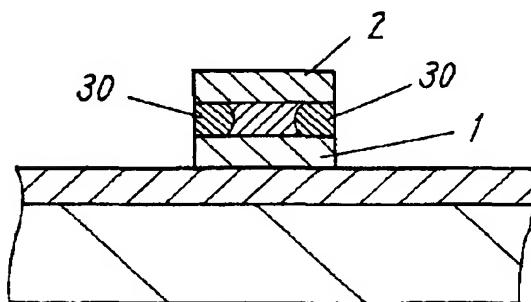
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 強誘電体を任意の電極上に自己整合的に選択成長させて形成した強誘電体キャパシタをメモリセルの一部に用いてデータを記憶することとする。

【解決手段】 基板上に形成した第1の電極と、前記第1の電極の上に形成した第1の強誘電体と、前記強誘電体の上に形成した第2の電極とから形成した強誘電体キャパシタと、前記強誘電体キャパシタを含むメモリセルが構成された記憶装置であって、前記第1の強誘電体は、前記第1の電極の上に選択的に成長し形成されるので、任意の形状の電極上に選択的に強誘電体を形成でき、強誘電体に損傷領域のない微細な強誘電体キャパシタを提供する。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社